

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156211

(43)Date of publication of application : 08.06.2001

(51)Int.Cl. H01L 23/12

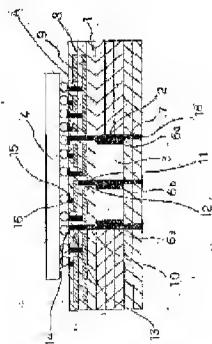
H01L 25/00

H05K 3/46

(21)Application number : 11-339880 (71)Applicant : KYOCERA CORP

(22)Date of filing : 30.11.1999 (72)Inventor : IINO YUJI
IWACHI HIROMI

(54) WIRING BOARD WITH BUILT-IN CAPACITOR



packaging a semiconductor device 4 is provided on the surface of the insulated substrate 1, the capacitor 3 is provided at least two positive electrodes 6a and at least two negative electrodes 6b, first and second conductor layers 8 and 9 are formed inside the insulated substrate 1 between the capacitor 3 and the surface of the insulated substrate 1, all the positive electrodes 6a of the capacitor 3 are electrically connected to the first conductor layer 8, all the negative electrodes 6b of the capacitor 3 are electrically connected to the second conductor layer 9, a via hole conductor 10 is formed from the first and second conductor layers 8 and 9 to the surface of the insulated substrate 1, and this via hole conductor 10 and the semiconductor device 4 are connected.

LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3398351

[Date of registration] 14.02.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While building a capacitor element in the interior of an insulating substrate, it is the capacitor built-in wiring substrate which comes to provide the loading side which carries electronic parts in the front face of said insulating substrate. While possessing two or more positive electrodes and the two or more negative electrodes, said capacitor element The 1st and 2nd conductor layers are formed in the interior of the insulating substrate between this capacitor element and said insulating-substrate front face. To said 1st conductor layer, while connecting with all the negative electrode and 2nd conductor layer of said capacitor electrically, respectively, all the positive electrodes of said capacitor the beer hall which arrives at said insulating-substrate front face from said 1st and 2nd conductor layers, respectively -- the capacitor built-in wiring substrate characterized by coming to form a conductor.

[Claim 2] The capacitor built-in wiring substrate according to claim 1 characterized by the thickness of the insulating layer between said conductor layers and said insulating-substrate front faces being 0.3mm or less.

[Claim 3] The capacitor built-in wiring substrate according to claim 1 with which said insulating substrate is characterized by containing organic resin.

[Claim 4] The capacitor built-in wiring substrate according to claim 1 characterized by said capacitor element consisting of a stacked type ceramic condenser.

[Translation done.]

* NOTICES *

**JPO and NCIPI are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Specifically, this invention relates to the wiring substrate of the low inductance which comes to build a capacitor element in the interior of a wiring substrate about the wiring substrate which mounted electronic parts, such as an LSI chip, in the front face.

[0002]

[Description of the Prior Art] In recent years, the electronic equipment by which high-speed operation is called for comes to be widely used with the spread of communication equipment, and the package in which high-speed operation is possible is further called for in connection with this. In order to perform such high-speed operation, it is necessary to reduce an electrical signal noise as much as possible. For that purpose, to reduce the inductance of the wiring section is needed by arranging passive electronic parts, such as a capacitor, near the active electronic device, and shortening the wire length of an electronic circuitry as much as possible.

[0003] As an approach of coping with such a problem, making a bypass capacitor

form between the flat-surface pattern pulled out from the voltage plane and the flat-surface pattern pulled out from the ground layer is proposed by JP,7-142871,A. [0004] Moreover, according to JP,10-92966,A, mounting a chip capacitor near the cavity which carried out the hermetic seal of the semiconductor device, and arranging a chip capacitor near the semiconductor device as much as possible is proposed.

[0005]

[Problem(s) to be Solved by the Invention] however, the beer hall of the fraction which connects the flat-surface electrode surface used for a drawer from the voltage plane and ground layer inside a substrate with the structure of this JP,7-142871,A -- that concentration of electromagnetic field occurs in a conductor, and the beer hall for connecting -- when the number of conductors was made to increase, there was a problem to which the capacity of a dielectric layer falls.

[0006] moreover -- although the capacitor which has one pair of forward negative electrodes is arranged in one stage in a cavity according to JP,10-92966,A, since the capacitor is mounted in a different part from the connection section of a semiconductor device, in order to connect a capacitor and a semiconductor device -- the beer hall in an insulating substrate -- since it is necessary to take about by the conductor or the wiring circuitry layer, a wire length will become long and an inductance will become high.

[0007] Therefore, this invention aims at offering the structure of a wiring substrate where the inductance by the capacitor arranged near the semiconductor device was reduced effectively while it reduces the signal noise resulting from the high-speed operation of a semiconductor device.

[0008]

[Means for Solving the Problem] While building a capacitor element in the interior of an insulating substrate, this invention persons As a result of repeating examination to the above-mentioned technical problem in the capacitor built-in wiring substrate which comes to provide the loading side which carries electronic parts in the front face of said insulating substrate, as a capacitor element built in

in an insulating substrate While using the capacitor possessing two or more positive electrodes and the two or more negative electrodes The 1st and 2nd conductor layers are formed in the interior of the insulating substrate between this capacitor element and said insulating-substrate front face. To said 1st conductor layer, while connecting with all the negative electrode and 2nd conductor layer of said capacitor electrically, respectively, all the positive electrodes of said capacitor the beer hall which arrives at said insulating-substrate front face from said 1st and 2nd conductor layers, respectively -- a conductor -- forming -- this beer hall -- it finds out that the above-mentioned object can be attained by connecting electrically a conductor and electronic parts, such as a semiconductor device carried in a substrate front face.

[0009] Especially, it is desirable for the thickness of the insulating layer between said conductor layers and said insulating-substrate front faces to be 0.3mm or less.

[0010] Namely, it adds to the capacitor element which has two or more positive electrodes and the two negative electrodes or more being a low inductance as a built-in capacitor element according to this invention. this conductor layer after connecting each positive electrode and the negative electrode of a capacitor to one conductor layer, respectively in connecting the capacitor and electronic parts of this low inductance, and an electrical part -- a beer hall, while connecting via a conductor By making thin thickness of the insulating layer which exists between a conductor layer and a substrate front face, since distance of a conductor layer and electronic parts can be shortened, reduction-ization of an inductance can be attained on an effective target.

[0011]

[Embodiment of the Invention] It explains to a detail based on drawing 1 which shows the outline sectional view in one example of the capacitor built-in wiring substrate of this invention. The cavity 2 is formed in the interior of an insulating substrate 1, and, as for the wiring substrate A in this invention, the capacitor element 3 is built in in the cavity 2. Moreover, the semiconductor device 4 is

mounted in right above in which the capacitor element 3 of the wiring substrate A is built as electronic parts.

[0012] In this invention, the capacitor element 3 built in in an insulating substrate 1 possesses two or more positive electrodes and the two negative electrodes or more. An example of such a capacitor element 3 was shown in the outline perspective view of drawing 2 . The capacitor element 3 of this drawing 2 consists of a laminating mold ceramic condenser which consists of a layered product of the shape of Nogata formed by carrying out the laminating of the ceramic dielectric layer 5 which uses BaTiO₃ as a principal component, and arrangement formation of four positive electrode 6a and the four negative electrode 6b is carried out uniformly independently at the outside surface of that layered product. In the capacitor element of drawing 2 (a), negative electrode 6b is formed in the center section of each side, and positive electrode 6a is formed in each corner.

[0013] Moreover, between each ceramic dielectric layer 5 of a layered product, internal electrode 7b for negative electrodes of a pattern as shown in internal electrode 7a for positive electrodes of a pattern as shown in drawing 2 (b), and drawing 2 (c) is formed by turns, and positive electrode 6a and internal electrode 7b for negative electrodes are electrically connected with negative electrode 6b for internal electrode 7a for positive electrodes by the end face of a layered product, respectively.

[0014] On the other hand, the 1st conductor layer 8 and the 2nd conductor layer 9 are formed in the insulating-substrate 1 interior between the electronic-parts loading side front faces of the capacitor element 3 of the built-in above-mentioned structure. and the beer hall formed in right above by penetrating an insulating layer vertically from four positive electrode 6a and this positive electrode 6a of a capacitor element 3 as this 1st conductor layer 8 was shown in pattern drawing of drawing 3 (a) -- it connects electrically through the conductor 10.

[0015] moreover, the beer hall similarly formed in right above by penetrating an

insulating layer vertically from four negative electrode 6b and this negative electrode 6b of a capacitor element 3 as the 2nd conductor layer 9 was shown in pattern drawing shown in drawing 3 (b) -- it connects electrically through the conductor 11.

[0016] in addition, the beer hall which connects negative electrode 6b and the 2nd conductor layer 9 to the 1st conductor layer 8 -- the opening 12 in which the conductor was formed is formed so that a conductor 11 may not be contacted.

[0017] and to the 1st conductor layer 8 connected with positive electrode 6a of a capacitor element 3 The conductor 13 is formed. furthermore, an electronic-parts loading side -- applying -- a beer hall -- To the 2nd conductor layer 9 which is connected with the land 14 for positive electrodes prepared in the substrate front face, and was similarly connected with negative electrode 6b of a capacitor element 3 furthermore, an electronic-parts loading side -- applying -- a beer hall - - the conductor 15 is formed and it connects with the land 16 for the negative electrodes prepared in the substrate front face.

[0018] And it connects with the bump of the semiconductor device 4 carried in the front face of an insulating substrate 1, and said land 14 for positive electrodes and the land 16 for the negative electrodes electrically.

[0019] According to this invention, as compared with the capacitor element possessing one common positive electrode and the one negative electrode, an inductance can be reduced as a capacitor element 3 built in in the wiring substrate A by using the capacitor element possessing two or more positive electrodes and negative electrodes. This is because concentration of the electromagnetic field of the polar zone is suppressed.

[0020] thus, two or more positive electrode 6a and negative electrode 6b of a capacitor element 3 -- once -- a beer hall -- the beer hall from these conductor layers 8 and 9 after putting together to conductor layers 8 and 9 with conductors 10 and 11, respectively -- making a substrate front face draw with conductors 13 and 15 -- direct [from positive electrode 6a of a capacitor element 3, or negative electrode 6b], and a substrate front face -- a beer hall -- an inductance can be

reduced as compared with deriving with a conductor. this -- a beer hall -- a conductor -- it is because the electromagnetic field concentrated on the section can be distributed on a flat surface conductor layer.

[0021] Furthermore, as a result of being able to make small connection distance of a semiconductor device 4 and a capacitor element by making thin thickness of the insulating layer located above a capacitor element 3 in the above-mentioned structure according to this invention, an inductance can be reduced further.

[0022] Specifically, in other words, an inductance can be effectively reduced the thickness x of the insulating layer currently formed above the capacitor element 3, and by setting laying-under-the-ground distance from a substrate front face to a capacitor element 3 to 0.3mm or less.

[0023] moreover, the beer hall connected with the electrode 6 of a capacitor element 3 at the underside side of the capacitor element 3 built in in the wiring substrate A, respectively as shown in drawing 1 -- with a conductor 17, it is drawn by the pad 18 of the rear face of the wiring substrate A, and this pad 18 can be connected to a power source.

[0024] As construction material of the insulating substrate 1 in the capacitor built-in wiring substrate A of this invention The ceramic system insulating material which will consist of the so-called sintered compact if the above structures with a built-in capacitor element can be formed, Or although you may be any of the organic system insulating material which contains organic resin at least as an insulating component When forming the structure which laid under the interior of a substrate the capacitor element 3 possessing two or more electrodes formed beforehand, it is desirable to consist of an organic system insulating material which does not need a sintering process.

[0025] Then, the manufacture approach of the capacitor built-in wiring substrate of this invention which consists of the above-mentioned organic system insulating material as an insulating substrate next is explained.

[0026] First, the prepreg in the condition which sank in thermosetting resin, such as an epoxy resin, of not hardening is prepared for the textile fabrics or the

nonwoven fabric of the insulation sheet in the condition which consists of a charge of an admixture of thermosetting resin, such as epoxy system resin and polyphenylene ether resin, or thermosetting resin, and ceramic powder, such as a silica and an alumina, of not hardening or a glass fiber, or an aramid fiber.

[0027] And as first shown in process drawing of drawing 4 , the cavity 21 which builds in a capacitor element is formed by punching etc. to the above-mentioned prepreg 20 (a). the conductive paste which forms a beer hall 23 to an insulation sheet 22, and, on the other hand, contains conductive powder, such as Cu powder, in the beer hall 23 -- being filled up -- a beer hall -- (b) which forms a conductor 24. Then, a conductor layer 25 is formed in the front face of this insulation sheet 22 (c). after this conductor layer 25 boils metallic foils, such as for example, Cu foil and aluminum foil, and sticks them on the surface of an insulation sheet, it has the approach of forming the conductor layer of a predetermined pattern according to the process of resist spreading, exposure, development, etching, and resist clearance, or the approach of imprinting what stuck said metallic foil on the front face of a resin film, and formed the conductor layer of a predetermined pattern like the above beforehand on the front face of said insulation sheet. Among these, latter one is suitable for the latter approach at the point that an insulation sheet is not exposed to an etching reagent etc. and an insulation sheet does not deteriorate.

[0028] And while installing a capacitor element 26 in the cavity 21 of prepreg 20 this prepreg 20 -- up and down -- the manufacture approach of of the above (b) and (c) -- applying -- said beer hall -- insulation sheet 30a in which the conductor 27, and a conductor layer 28 and the pad 29 for connection with a semiconductor device were formed -- When the laminating of 30b, 30c, 30d, and the 30e is carried out and the thermosetting resin in said insulation sheet and prepreg heats this laminated material at sufficient temperature to harden, the wiring substrate which contained the capacitor element as shown in drawing 1 is producible.

[0029] in addition, the beer hall of the positive electrode of a capacitor element 26 and the negative electrode which were arranged in prepreg 20, and an

insulation sheet -- in order to make electric connection with a conductor -- a beer hall -- applying to the positive electrode and negative electrode front face of a connection with the capacitor element of a conductor, and/or a capacitor element the solder which can be fused at heat-curing temperature -- a capacitor element and a beer hall -- connection with a conductor can be ensured.

[0030]

[Example] (1) The pattern of the internal electrode for positive electrodes as used the metal paste of Ag-Pd for the front face of two or more ceramic dielectric sheets of BaTiO₃ system and shown in drawing 2 , or the internal electrode for negative electrodes was screen-stenciled. Then, after carrying out laminating adhesion of those sheets under the temperature of 55 degrees C, and the pressure of 150kg/cm² and cutting using a cutter in the state of Green, it calcinated in the temperature of 1220 degrees C of atmospheric-air ambient atmospheres, and the capacitor element pack was produced.

[0031] And the paste of Ag-Pd was applied to the positive electrode formation section and the negative electrode formation section, it could be burned on the outside surface of this capacitor element pack at the temperature of 850 degrees C, and the stacked type ceramic condenser of eight terminals as shown by drawing 2 possessing two or more positive electrodes and negative electrodes was produced.

[0032] In addition, as for this capacitor element, the positive electrode and the four negative electrodes 11.0nF(s) and whose self-inductances 1.6x1.6x0.3 (mm³) and electrostatic capacity are 80 (pH) and that dimension of whose is four places are formed.

(2) The prepreg of A-PPE (heat-curing mold polyphenylene ether) resin (curing temperature = 200) 55 volume % and glass cloth 45 volume % was prepared. Moreover, similarly the cavity 1.7mm long and 1.7mm wide [slightly larger] than the magnitude of the capacitor contained by trephine processing by carbon dioxide laser was formed in a part of prepreg.

(3) On the other hand, so that it may become the rate of silica powder 50

volume % to PPE (polyphenylene ether) resin Mix the resin and the powder of a varnish condition and two or more insulation sheets with a thickness of 150 micrometers are produced with a doctor blade method. the beer hall for connecting with those insulation sheets with a conductor layer and the bump of a semiconductor device -- the beer hall for connecting a conductor, and a capacitor element and a conductor layer -- as a conductor the conductive paste containing the copper powder whose mean diameter which formed two or more beer halls with a diameter of 0.1mm by punching, and plated silver on the front face is 5 micrometers -- being filled up -- a beer hall -- the conductor was formed. in addition, a beer hall -- as a conductor -- the number of the bumps of a semiconductor device -- suiting -- 42-252 beer halls -- the conductor was formed.

(4) On the other hand, adhesives were applied to the front face of the imprint sheet which consists of polyethylene terephthalate (PET) resin, and 12 micrometers in thickness and copper foil of 0.8 micrometers of surface roughness were pasted up on the whole surface. And after applying the photoresist (dry film) and performing exposure development, this was immersed into the ferric-chloride solution, etching clearance of the non-pattern section was carried out, and the conductor layer for positive electrodes and the conductor layer for negative electrodes were formed.

[0033] In addition, the produced wiring circuitry layer is a detailed pattern whose spacing of 20 micrometers, wiring, and wiring line breadth is 20 micrometers.

(5) And after sticking the conductor-layer side of an imprint sheet to an insulation sheet by pressure by the pressure of 30kg/cm², the imprint sheet was removed on the front face of the insulation sheet produced by (2), and it was made to imprint a conductor layer to an insulation sheet.

(6) Next, temporary installation of the stacked type ceramic condenser chip produced by (1) in the cavity of the prepreg in which the cavity produced by (2) was formed was carried out, the clearance between surrounding of a chip was filled up with epoxy resin 40 volume % and silica 60 volume %, and temporary immobilization was carried out.

[0034] The laminating of the insulation sheet of two sheets which has a conductor is carried out. pass (3) and (4) on the front face -- the produced conductor layer and a beer hall -- The temporary laminating of the insulation sheet of one sheet with which the conductor and the wiring circuitry layer were formed is carried out. furthermore -- further -- a it top -- a semiconductor device loading side -- becoming -- a beer hall -- the electrode which laid the capacitor for built-in produced above (1) in the front face by the side of reverse, and was formed in it on the surface of the capacitor with the component side of the semiconductor device, and a beer hall -- alignment was carried out so that the outcrop of the edge of a conductor might contact, and temporary immobilization was carried out with organic system adhesives.

(7) And at 200 degrees C, this laminated material is heated for 1 hour, and carried out full hardening, and the multilayer-interconnection substrate was produced. In addition, the opening of an insulation sheet contracted by floating of the resin by heating, the insulating layer and the capacitor chip stuck, and most clearances between a chip and an insulating layer were lost. In this way, the insulating bed depth per layer produced the assessment substrate which is 0.10mm.

[0035] The produced capacitor built-in wiring substrate is set in frequency of 1.0MHz - 1.8MHz using an impedance analyzer. Measure the frequency characteristics of an impedance and the capacity value of a 1MHz capacitor is measured simultaneously. Based on $f_0=1/(2\pi(L-C)^{1/2})$ (the inside of a formula, f_0 :resonance-frequency (Hz) C :electrostatic-capacity (F), L : inductance (H)), it asked for the inductance by count from resonance frequency.

[0036] Moreover, the thickness of the insulating layer of the top face of a capacitor element was changed as shown in a table 1, and change of a property was measured.

[0037] without it minds the example of a comparison, next a conductor layer -- one positive electrode of 8 terminal electrode capacitor element, and the one negative electrode -- a beer hall -- with the conductor, directly, compare with a

semiconductor device the assessment substrate 1 (No.9) for a comparison and capacitor element which the substrate front face was made to draw on the front face of a wiring substrate, they were made to carry in it, and the wiring substrate 2 (No.10) for a comparison connected with the semiconductor device through the internal wiring circuitry layer was produced.

[0038] moreover -- without it builds in the conventional stacked type ceramic condenser of the electrode (one positive electrode, one negative electrode) of a couple as a capacitor element to build in and minds the electrode and conductor layer -- direct and a beer hall -- with the conductor, the wiring substrate 3 (No.11) for a comparison which the substrate front face was made to draw was produced, and same assessment was performed.

[0039]

[A table 1]

No	実装のタイプ	絶縁層厚み μm	バイアホールピッチ mm	ピア数	容量 nF	共振周波数 MHz	インダクタンス pH	備考
1	内蔵	300	0.6	42	11.05	136	124.06	8端子コンデンサ
2	内蔵	300	0.3	84	11.04	140	117.18	8端子コンデンサ
3	内蔵	300	0.2	126	11.04	150	102.06	8端子コンデンサ
4	内蔵	300	0.1	252	11.03	165	84.44	8端子コンデンサ
5	内蔵	150	0.6	42	11.03	160	89.80	8端子コンデンサ
6	内蔵	200	0.6	42	11.02	144	110.96	8端子コンデンサ
7	内蔵	400	0.6	42	11.02	118	165.25	8端子コンデンサ
8	内蔵	500	0.6	42	11.03	92	271.60	8端子コンデンサ
*9	内蔵	300	0.6	42	11.03	80	359.19	ピア2端子接続
*10	表面実装	300	0.6	42	11.03	85	318.18	8端子コンデンサ
*11	内蔵	300	0.6	42	11.03	57	707.55	2端子コンデンサ

* : 比較例

[0040] Based on this invention, the capacitor element which has two or more electrodes was built in, although the capacitor built-in wiring substrate (sample No.1-8) of this invention in which the conductor layer for positive electrodes and

the conductor layer for negative electrodes were formed contained the capacitor element, as compared with the wiring substrate (sample No.11) which does not form the conductor layer for positive electrodes, and the conductor layer for negative electrodes, its resonance frequency was high and it was able to set the inductance to 300 or less pH, so that clearly from the result of a table 1.

Moreover, in the wiring substrate of this invention, the inductance was able to be reduced, so that the insulating bed depth was made thin.

[0041] On the other hand, since the wiring substrate (sample No.10) which mounted the capacitor element in the front face served as a circumference circuit which let the inner layer pass from the sample in the sense terminal, even if it approached and mounted the semiconductor device and the capacitor element in 0.3mm, the inductance was a high value as compared with built-in.

[0042]

[Effect of the Invention] In the wiring substrate which contained the capacitor element according to this invention as mentioned above Form a two-layer conductor layer directly under electronic parts, such as a semiconductor device, and this two-layer conductor layer is received. Each positive electrode and the negative electrode of a capacitor element which have two or more positive electrodes and negative electrodes which were built in in the wiring substrate are connected. the beer hall which penetrates the insulating layer of a conductor-layer upside two-layer [these] -- by connecting with the electronic parts carried in the substrate front face through the conductor The signal noise in the actuation at the time of mounting a semiconductor device in that an inductance can be reduced and a wiring substrate front face can be reduced effectively.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view of the capacitor built-in wiring substrate of this invention.

[Drawing 2] It is for explaining the capacitor element used by this invention, and (a) is [pattern drawing of the internal electrode for positive electrodes and (c of an outline perspective view and (b))] internal electrode pattern drawings for negative electrodes.

[Drawing 3] They are pattern drawing of the (a) 1st conductor layer in the wiring substrate of this invention, and pattern drawing of the (b) 2nd conductor layer.

[Drawing 4] It is process drawing in order to manufacture the capacitor built-in wiring substrate of this invention.

[Description of Notations]

A Wiring substrate

1 Insulating Substrate

2 Cavity

3 Capacitor Element

4 Semiconductor Device

5 Ceramic Dielectric Layer

6a Positive electrode

6b Negative electrode

7a The internal electrode for positive electrodes

7b The internal electrode for negative electrodes

8 1st Conductor Layer

9 2nd Conductor Layer

10, 11, and 17 a beer hall -- conductor

[Translation done.]

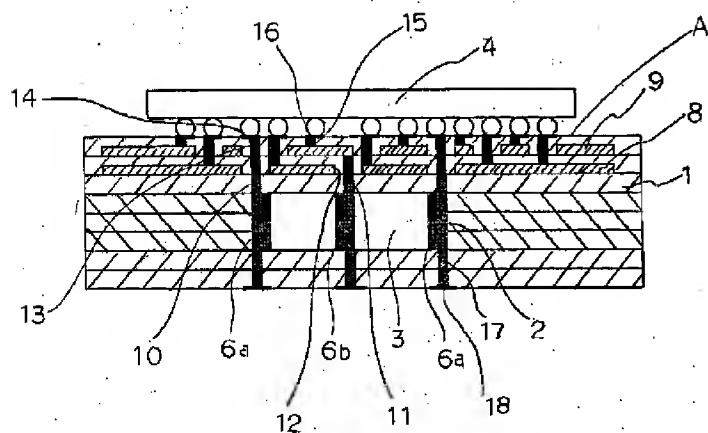
* NOTICES *

**JPO and NCIPI are not responsible for any
damages caused by the use of this translation.**

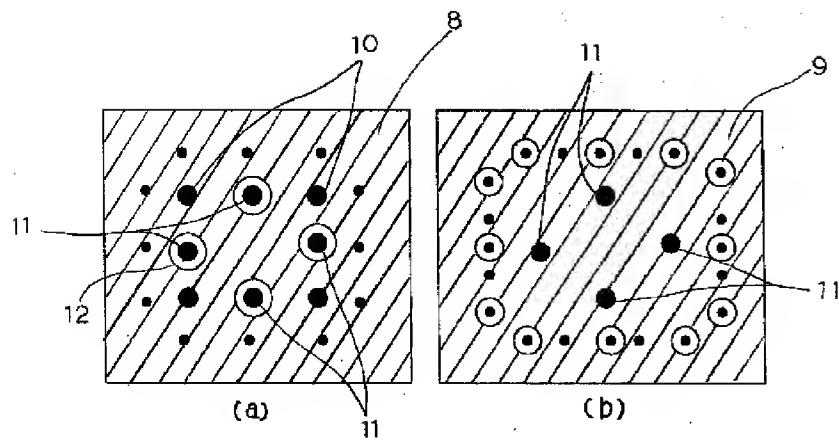
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

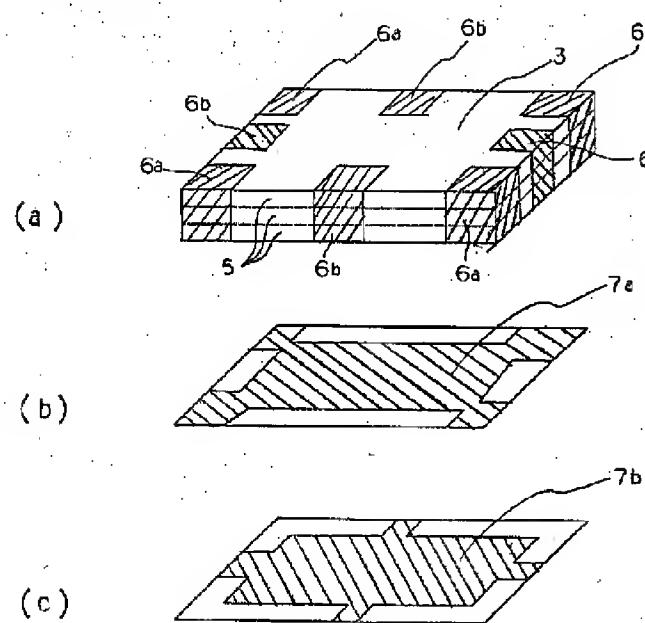
[Drawing 1]



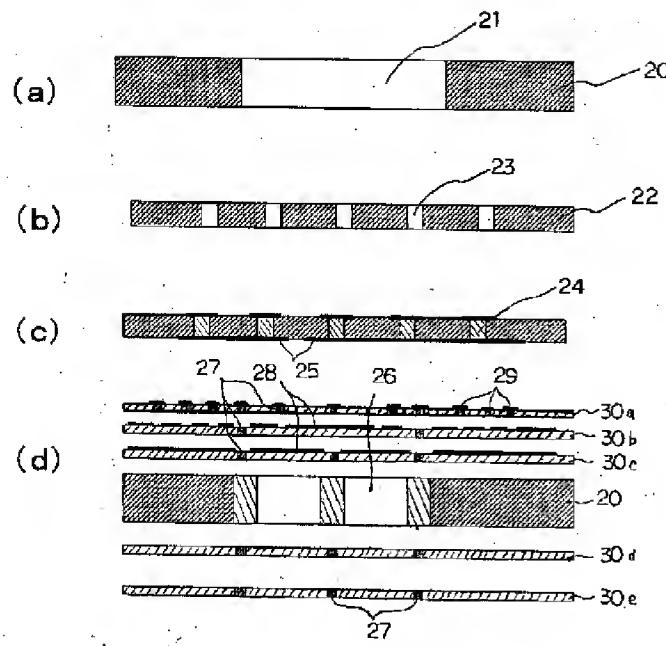
[Drawing 3]



[Drawing 2]



[Drawing 4]



[Translation done.]

(51) Int.Cl.⁷
 H 01 L 23/12
 25/00
 H 05 K 3/46

識別記号

F I
 H 01 L 25/00
 H 05 K 3/46
 H 01 L 23/12

テ-マコ-ト⁸(参考)
 B 5 E 3 4 6
 Q
 B

審査請求 有 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平11-339880

(22)出願日 平成11年11月30日(1999.11.30)

(71)出願人 000006633

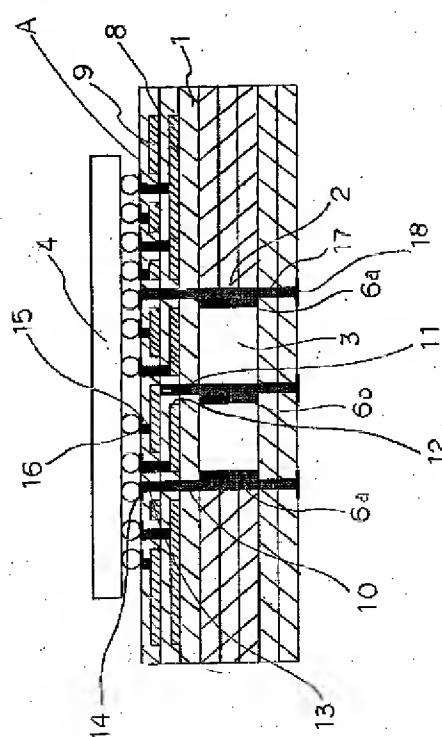
京セラ株式会社
京都府京都市伏見区竹田烏羽殿町6番地(72)発明者 飯野 祐二
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内(72)発明者 岩地 裕美
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内Fターム(参考) 5E346 AA12 AA43 BB15 CC08 FF45
HH01 HH04 HH07

(54)【発明の名称】 コンデンサ内蔵型配線基板

(57)【要約】

【課題】コンデンサ素子によって半導体素子の高速動作に起因する信号ノイズを低減するとともに、コンデンサによるインダクタンスを低減する。

【解決手段】絶縁基板1の内部に、コンデンサ素子3を内蔵するとともに、絶縁基板1の表面に半導体素子4を搭載する搭載面を具備してなり、コンデンサ素子3が、2個以上の正電極6aおよび2個以上の負電極6bを具備するとともに、コンデンサ素子3と絶縁基板1表面との間の絶縁基板1内部に、第1および第2の導体層8、9を形成し、コンデンサ素子3のすべての正電極6aを第1の導体層8に、コンデンサ素子3のすべての負電極6bを第2の導体層9にそれぞれ電気的に接続するとともに、第1および第2の導体層8、9からそれぞれ絶縁基板1表面に達するピアホール導体10を形成し、このピアホール導体10と半導体素子4とを接続する。



【特許請求の範囲】

【請求項1】絶縁基板の内部に、コンデンサ素子を内蔵するとともに、前記絶縁基板の表面に電子部品を搭載する搭載面を具備してなるコンデンサ内蔵型配線基板であって、前記コンデンサ素子が、2個以上の正電極および2個以上の負電極を具備するとともに、該コンデンサ素子と前記絶縁基板表面との間の絶縁基板内部に、第1および第2の導体層を形成し、前記コンデンサのすべての正電極を前記第1の導体層に、前記コンデンサのすべての負電極と第2の導体層にそれぞれ電気的に接続するとともに、前記第1および第2の導体層からそれぞれ前記絶縁基板表面に達するビアホール導体を形成してなることを特徴とするコンデンサ内蔵型配線基板。

【請求項2】前記導体層と前記絶縁基板表面との間の絶縁層の厚みが0.3mm以下であることを特徴とする請求項1記載のコンデンサ内蔵型配線基板。

【請求項3】前記絶縁基板が、有機樹脂を含有することを特徴とする請求項1記載のコンデンサ内蔵型配線基板。

【請求項4】前記コンデンサ素子が、積層セラミックコンデンサからなることを特徴とする請求項1記載のコンデンサ内蔵型配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSIチップなどの電子部品を表面に実装した配線基板に関するものであり、具体的には、配線基板内部にコンデンサ素子を内蔵してなる低インダクタンスの配線基板に関するものである。

【0002】

【従来技術】近年、通信機器の普及に伴い、高速動作が求められる電子機器が広く使用されるようになり、さらにこれに伴って高速動作が可能なパッケージが求められている。このような高速動作を行うためには、電気信号ノイズを極力低減する必要がある。そのためには、コンデンサ等の受動電子部品を能動電子素子の近傍に配置し、電子回路の配線長を極力短くすることにより、配線部のインダクタンスを低減することが必要とされている。

【0003】このような問題に対処する方法として、例えば、特開平7-142871号には、電源層から引き出された平面パターンと、グランド層から引き出された平面パターンとの間でバイパスコンデンサを形成させることができると提案されている。

【0004】また、特開平10-92966号によれば、半導体素子を気密封止したキャビティの近傍にチップコンデンサを実装して、できるだけ半導体素子の近傍にチップコンデンサを配置することが提案されている。

【0005】

【発明が解決しようとする課題】しかしながら、この特

開平7-142871号の構造では基板内部の電源層やグランド層からの引き出しに用いられる平面電極面とを結線する少数のビアホール導体では電磁界の集中が発生すること、また、結線するためのビアホール導体の数を増加させると誘電体層の容量が低下してしまう問題があった。

【0006】また、特開平10-92966号によれば、1対の正負極を有するコンデンサをキャビティ内の一つの段に配置するものの、コンデンサは、半導体素子の結線部と異なる部分に実装されているために、コンデンサと半導体素子とを結線するためには絶縁基板内のビアホール導体や配線回路層で引き回す必要があるために配線長が長くなりインダクタンスが高くなってしまう。

【0007】従って、本発明は、半導体素子の高速動作に起因する信号ノイズを低減するとともに、半導体素子近傍に配置したコンデンサによるインダクタンスを効果的に低減した配線基板の構造を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明者らは、絶縁基板の内部に、コンデンサ素子を内蔵するとともに、前記絶縁基板の表面に電子部品を搭載する搭載面を具備してなるコンデンサ内蔵型配線基板における上記の課題に対して検討を重ねた結果、絶縁基板内に内蔵するコンデンサ素子として、2個以上の正電極および2個以上の負電極を具備するコンデンサを用いるとともに、該コンデンサ素子と前記絶縁基板表面との間の絶縁基板内部に、第1および第2の導体層を形成し、前記コンデンサのすべての正電極を前記第1の導体層に、前記コンデンサのすべての負電極と第2の導体層にそれぞれ電気的に接続するとともに、前記第1および第2の導体層からそれぞれ前記絶縁基板表面に達するビアホール導体を形成し、このビアホール導体と基板表面に搭載される半導体素子などの電子部品とを電気的に接続することにより、上記の目的が達成できることを見いたしたものである。

【0009】特に、前記導体層と前記絶縁基板表面との間の絶縁層の厚みが0.3mm以下であることが望ましい。

【0010】即ち、本発明によれば、内蔵コンデンサ素子として、2つ以上の正電極と2つ以上の負電極とを有するコンデンサ素子が低インダクタンスであることに加え、この低インダクタンスのコンデンサと電子部品とを接続するにあたり、コンデンサの各正電極および負電極をそれぞれ1つの導体層に接続した後、この導体層と電気部品とをビアホール導体を経由して接続するとともに、導体層と基板表面との間に存在する絶縁層の厚みを薄くすることによって、導体層と電子部品との距離を短くできるためにインダクタンスの低減化を有効的に図ることができる。

【0011】

【発明の実施の形態】本発明のコンデンサ内蔵型配線基板の一実施例における概略断面図を示す図1をもとに詳細に説明する。本発明における配線基板Aは、絶縁基板1の内部にキャビティ2が形成されており、そのキャビティ2内にコンデンサ素子3が内蔵されている。また、配線基板Aのコンデンサ素子3が内蔵される直上には、電子部品として半導体素子4が実装されている。

【0012】本発明において、絶縁基板1内に内蔵されるコンデンサ素子3は、2つ以上の正電極と2つ以上の負電極を具備するものである。このようなコンデンサ素子3の一例を図2の概略斜視図に示した。この図2のコンデンサ素子3は、BaTiO₃を主成分とするセラミック誘電体層5を積層して形成された直方状の積層体からなる積層型セラミックコンデンサからなるものであって、その積層体の外表面には、4つの正電極6aと4つの負電極6bとが独立して均等に配置形成されている。図2(a)のコンデンサ素子においては、負電極6bは各辺の中央部に、正電極6aは、各角部に形成されている。

【0013】また、積層体の各セラミック誘電体層5間には、図2(b)に示されるようなパターンの正極用内部電極7aと図2(c)に示されるようなパターンの負極用内部電極7bとが交互に形成されており、正極用内部電極7aは、正電極6aと、負極用内部電極7bは負電極6bと積層体の端面でそれぞれ電気的に接続されている。

【0014】一方、内蔵された上記の構造のコンデンサ素子3の電子部品搭載面表面との間の絶縁基板1内部には、第1の導体層8、および第2の導体層9が形成されている。そして、この第1の導体層8は、図3(a)のパターン図に示すように、コンデンサ素子3の4つの正電極6aと、この正電極6aから直上に絶縁層を垂直に貫通して形成されたビアホール導体10を介して電気的に接続されている。

【0015】また、同様に、第2の導体層9は、図3(b)に示すパターン図に示すように、コンデンサ素子3の4つの負電極6bと、この負電極6bから直上に絶縁層を垂直に貫通して形成されたビアホール導体11を介して電気的に接続されている。

【0016】なお、第1の導体層8には、負電極6bと第2の導体層9とを接続するビアホール導体11と接続しないように、導体が形成された開口12が形成されている。

【0017】そして、コンデンサ素子3の正電極6aと接続された第1の導体層8には、さらに、電子部品搭載面にかけてビアホール導体13が形成されており、基板表面に設けられた正電極用ランド14と接続されており、また同様に、コンデンサ素子3の負電極6bと接続された第2の導体層9には、さらに、電子部品搭載面にかけてビアホール導体15が形成されており、基板表面

に設けられた負電極用ランド16と接続されている。

【0018】そして、絶縁基板1の表面に搭載された半導体素子4のバンプと、前記正電極用ランド14および負電極用ランド16と電気的に接続されている。

【0019】本発明によれば、配線基板A内に内蔵するコンデンサ素子3として、複数の正電極および負電極を具備するコンデンサ素子を用いることによって、一般的な1つの正電極および1つの負電極を具備するコンデンサ素子に比較して、インダクタンスを低減することができる。これは電極部の電磁界の集中が抑えられることによるものである。

【0020】このように、コンデンサ素子3の複数の正電極6aおよび負電極6bを一旦ビアホール導体10、11によってそれぞれ導体層8、9にそれぞれ集約した後、この導体層8、9からビアホール導体13、15によって基板表面に導出させることによって、コンデンサ素子3の正電極6aや負電極6bから直接、基板表面にビアホール導体によって導出するのに比較して、インダクタンスを低減することができる。これは、ビアホール導体部に集中した電磁界を平面な導体層上にて分散させることができるためである。

【0021】さらに、本発明によれば、上記の構造において、コンデンサ素子3の上方に位置する絶縁層の厚みを薄くすることにより、半導体素子4とコンデンサ素子との接続距離を小さくすることができる結果、さらにインダクタンスを低減することができる。

【0022】具体的には、コンデンサ素子3の上方に形成されている絶縁層の厚みx、言い換えれば、基板表面からコンデンサ素子3までの埋設距離を0.3mm以下とすることによって効果的にインダクタンスを低減することができる。

【0023】また、図1に示すように、配線基板A内に内蔵されたコンデンサ素子3の下面側には、コンデンサ素子3の電極6とそれぞれ接続されたビアホール導体17によって、配線基板Aの裏面のパッド18に導出されており、このパッド18を電源に接続することができる。

【0024】本発明のコンデンサ内蔵型配線基板Aにおける絶縁基板1の材質としては、上記のようなコンデンサ素子内蔵構造が形成可能であれば、いわゆる焼結体からなるセラミック系絶縁材料、または絶縁成分として少なくとも有機樹脂を含有する有機系絶縁材料のいずれであってもよいが、あらかじめ形成された複数の電極を具備するコンデンサ素子3を基板内部に埋設した構造を形成する上では、焼結工程を必要としない有機系絶縁材料からなることが望ましい。

【0025】そこで、次に絶縁基板として上記の有機系絶縁材料からなる本発明のコンデンサ内蔵型配線基板の製造方法について説明する。

【0026】まず、エポキシ系樹脂、ポリフェニレンエ

ーテル樹脂などの熱硬化性樹脂、または熱硬化性樹脂とシリカ、アルミナなどのセラミック粉末との混合材料からなる未硬化状態の絶縁シート、もしくはガラス繊維やアラミド繊維の織布または不織布にエポキシ樹脂などの熱硬化性樹脂を含浸した、未硬化状態のプリプレグを準備する。

【0027】そして、まず図4の工程図に示すように、上記プリプレグ20に対して、コンデンサ素子を内蔵するキャビティ21をパンチングなどによって形成する(a)。一方、絶縁シート22に対してビアホール23を形成しそのビアホール23にCu粉末などの導電性粉末を含有する導電性ペーストを充填してビアホール導体24を形成する(b)。その後、この絶縁シート22の表面に、導体層25を形成する(c)。この導体層25は例えば、Cu箔、Al箔などの金属箔を絶縁シートの表面に貼着した後、レジスト塗布、露光、現像、エッチング、レジスト除去の工程によって所定のパターンの導体層を形成する方法、またはあらかじめ、樹脂フィルムの表面に前記金属箔を貼着して上記と同様にして所定のパターンの導体層を形成したものを前記絶縁シートの表面に転写する方法がある。このうち、後者の方法は、絶縁シートがエッチング液などにさらされることがなく、絶縁シートが劣化するがない点で後者の方が好適である。

【0028】そして、プリプレグ20のキャビティ21内にコンデンサ素子26を設置するとともに、このプリプレグ20の上下に、前記(b)(c)の製造方法を応用して前記ビアホール導体27や導体層28、半導体素子との接続用パッド29を形成した絶縁シート30a、30b、30c、30d、30eを積層し、この積層物を前記絶縁シートおよびプリプレグ中の熱硬化性樹脂が硬化するに充分な温度で加熱することにより、図1に示したようなコンデンサ素子を内蔵した配線基板を作製することができる。

【0029】なお、プリプレグ20内に配設されたコンデンサ素子26の正電極および負電極と絶縁シートのビアホール導体との電気的な接続を行なうために、ビアホール導体のコンデンサ素子との接続部および/またはコンデンサ素子の正電極および負電極表面に熱硬化温度で溶融可能な半田を塗布しておくことによって、コンデンサ素子とビアホール導体との接続を確実に行なうことができる。

【0030】

【実施例】(1) BaTiO₃系の複数のセラミック誘電体シートの表面に、Ag-Pdの金属ペーストを用いて図2に示したような正極用内部電極や負極用内部電極のパターンをスクリーン印刷した。その後、それらのシートを温度55°C、圧力150kg/cm²下で積層密着させ、グリーンの状態でカッターを用いて切断した後、大気雰囲気1220°Cの温度において焼成してコン

デンサ素体を作製した。

【0031】そして、このコンデンサ素体の外表面に、Ag-Pdのペーストを正電極形成部および負電極形成部に塗布して温度850°Cで焼き付け、複数の正電極および負電極を具備する図2で示したような8端子の積層セラミックコンデンサを作製した。

【0032】なお、このコンデンサ素子は、その寸法が1.6×1.6×0.3(mm³)、静電容量が11.0nF、自己インダクタンスが80(pH)であり、4箇所の正電極と4箇所の負電極とが形成されたものである。

(2) A-PPE(熱硬化型ポリフェニレンエーテル)樹脂(硬化温度=200)55体積%、ガラス繊布45体積%のプリプレグを準備した。また、同じくプリプレグの一部に炭酸ガスレーザーによるトレパン加工により収納するコンデンサの大きさよりもわずかに大きい縦1.7mm×横1.7mmのキャビティを形成した。

(3)一方、PPE(ポリフェニレンエーテル)樹脂に對しシリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ150μmの複数の絶縁シートを作製し、それらの絶縁シートに、導体層と半導体素子のバンプと接続するためのビアホール導体、およびコンデンサ素子と導体層とを接続するためのビアホール導体として、パンチングで直径0.1mmのビアホールを複数個形成し、表面に銀をメッキした平均粒径が5μmの銅粉末を含む導体ペーストを充填してビアホール導体を形成した。なお、ビアホール導体としては、半導体素子のバンプの数に適合して、42~252個のビアホール導体を形成した。

(4)一方、ポリエチレンテレフタート(PET)樹脂からなる転写シートの表面に接着剤を塗布し、厚さ12μm、表面粗さ0.8μmの銅箔を一面に接着した。そして、フォトレジスト(ドライフィルム)を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して正極用導体層および負極用導体層を形成した。

【0033】なお、作製した配線回路層は、線幅が20μm、配線と配線との間隔が20μmの微細なパターンである。

(5)そして、(2)で作製した絶縁シートの表面に、転写シートの導体層側を絶縁シートに30kg/cm²の圧力で圧着した後、転写シートを剥がして、導体層を絶縁シートに転写させた。

(6)次に、(2)で作製したキャビティが形成されたプリプレグのキャビティ内に(1)で作製した積層セラミックコンデンサチップを仮設置し、チップの周りの隙間にエポキシ樹脂40体積%、シリカ60体積%を充填して仮固定した。

【0034】その表面に(3)(4)を経て作製された導体層およびビアホール導体を有する2枚の絶縁シート

を積層し、さらに、更にその上に半導体素子搭載面となり、ピアホール導体および配線回路層が形成された1枚の絶縁シートを仮積層しておき、その半導体素子の実装面とは逆側の表面に、前記(1)で作製した内蔵用コンデンサを載置し、コンデンサの表面に形成された電極とピアホール導体の端部の露出部が当接するように位置合わせし、有機系接着剤によって仮固定した。

(7) そして、この積層物を200°Cで1時間加熱して完全硬化させて多層配線基板を作製した。なお、加熱による樹脂の流動で絶縁シートの空隙が収縮して絶縁層とコンデンサチップとが密着しチップと絶縁層との隙間はほとんどなくなっていた。こうして、1層あたりの絶縁層厚みが0.10mmの評価基板を作製した。

【0035】作製したコンデンサ内蔵型配線基板は、インピーダンスアナライザを用いて、周波数1.0MHz～1.8MHzにおいて、インピーダンスの周波数特性を測定し、同時に、1MHzでのコンデンサの容量値を測定し、そして、 $f_0 = 1 / (2\pi(L \cdot C)^{1/2})$ (式中、 f_0 ：共振周波数(Hz)、C：静電容量(F)、L：インダクタンス(H))に基づいて、共振周波数を

インダクタンスを計算で求めた。

【0036】また、コンデンサ素子の上面の絶縁層の厚みを表1のように変えて特性の変化を測定した。

【0037】比較例

次に、導体層を介することなく、8端子電極コンデンサ素子の1つの正電極および1つの負電極をピアホール導体によって直接、基板表面に導出させた比較用評価基板1 (No. 9)、コンデンサ素子を配線基板の表面に半導体素子と並べて搭載させて、内部配線回路層を介して半導体素子と接続した比較用配線基板2 (No. 10)を作製した。

【0038】また、内蔵するコンデンサ素子として、一対の電極(正電極1つ、負電極1つ)の従来の積層セラミックコンデンサを内蔵し、その電極と導体層を介することなく、直接、ピアホール導体によって基板表面に導出させた比較用配線基板3 (No. 11)を作製し、同様な評価を行なった。

【0039】

【表1】

No	実装のタイプ	絶縁層厚み μm	ピアホールピッチ mm	ピア数	容量 nF	共振周波数 MHz	インダクタンス pH	備考
1	内蔵	300	0.6	42	11.05	136	124.08	8端子コンデンサ
2	内蔵	300	0.3	84	11.04	140	117.18	8端子コンデンサ
3	内蔵	300	0.2	126	11.04	150	102.08	8端子コンデンサ
4	内蔵	300	0.1	252	11.03	165	84.44	8端子コンデンサ
5	内蔵	150	0.6	42	11.03	160	89.80	8端子コンデンサ
6	内蔵	200	0.6	42	11.02	144	110.96	8端子コンデンサ
7	内蔵	400	0.6	42	11.02	118	165.25	8端子コンデンサ
8	内蔵	500	0.6	42	11.03	92	271.60	8端子コンデンサ
*9	内蔵	300	0.6	42	11.03	30	359.19	ピア2端子接続
*10	表面実装	300	0.6	42	11.03	85	318.18	8端子コンデンサ
*11	内蔵	300	0.6	42	11.03	57	707.55	2端子コンデンサ

*: 比較例

【0040】表1の結果から明らかなように、本発明に基づき、複数の電極を有するコンデンサ素子を内蔵し、正極用導体層および負極用導体層を形成した本発明のコンデンサ内蔵型配線基板(試料No. 1～8)は、コンデンサ素子を内蔵するものの正極用導体層および負極用導体層を形成しない配線基板(試料No. 11)に比較して、共振周波数が高く、インダクタンスを300pH以下とすることができた。また、本発明の配線基板においては、絶縁層厚みを薄くするほどインダクタンスを低減することができた。

【0041】一方、コンデンサ素子を表面に実装した配

線基板(試料No. 10)は、サンプルから測定端子を内層を通した周回回路となっているために、半導体素子とコンデンサ素子とを0.3mmに近接して実装してもインダクタンスは内蔵型に比較して高い値であった。

【0042】

【発明の効果】 上述した通り、本発明によれば、コンデンサ素子を内蔵した配線基板において、半導体素子などの電子部品の直下に2層の導体層を形成し、且つこの2層の導体層に対して、配線基板内に内蔵された複数の正電極および負電極を有するコンデンサ素子の各正電極および負電極を接続し、それら2層の導体層の上側の絶

縁層を貫通するピアホール導体を介して基板表面に搭載された電子部品と接続することによって、インダクタンスを低減できること、ならびに配線基板表面に半導体素子を実装した場合の動作における信号ノイズを効果的に低減することができる。

【図面の簡単な説明】

【図1】本発明のコンデンサ内蔵型配線基板の概略断面図である。

【図2】本発明で用いられるコンデンサ素子を説明するためのものであって、(a)は、概略斜視図、(b)は正極用内部電極のパターン図、(c)は負極用内部電極パターン図である。

【図3】本発明の配線基板における(a)第1の導体層のパターン図と、(b)第2の導体層のパターン図である。

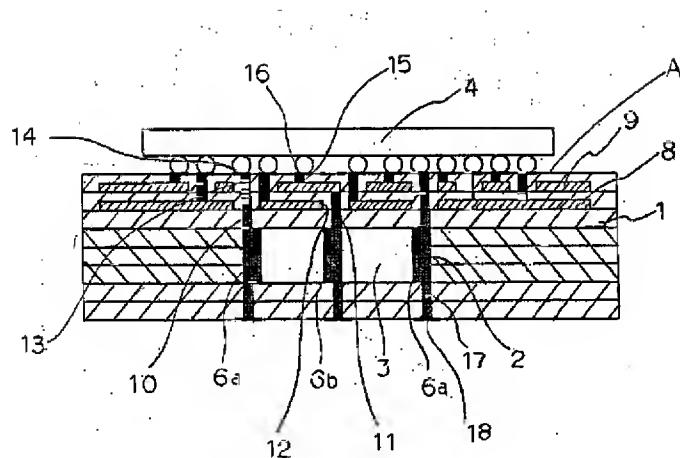
【図4】本発明のコンデンサ内蔵型配線基板を製造する

ために工程図である。

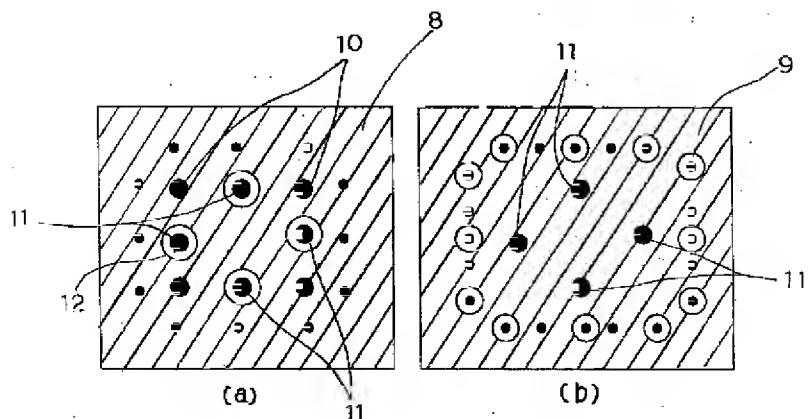
【符号の説明】

- A 配線基板
- 1 絶縁基板
- 2 キャビティ
- 3 コンデンサ素子
- 4 半導体素子
- 5 セラミック誘電体層
- 6a 正電極
- 6b 負電極
- 7a 正極用内部電極
- 7b 負極用内部電極
- 8 第1の導体層
- 9 第2の導体層
- 10、11、17 ピアホール導体

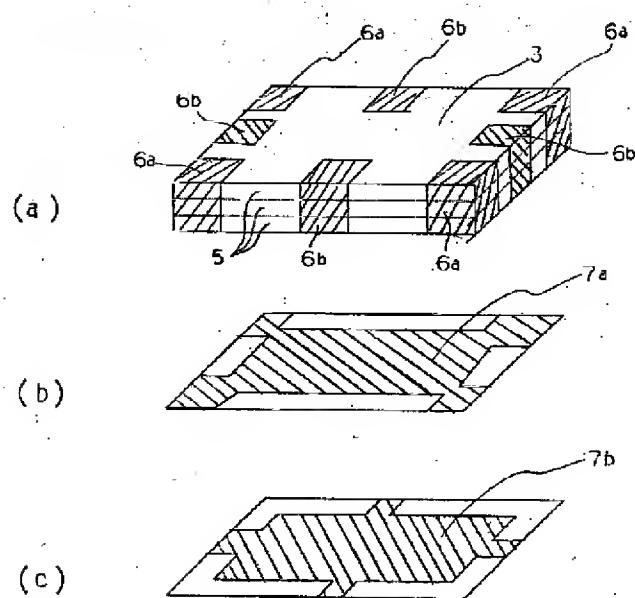
【図1】



【図3】



【図2】



【図4】

